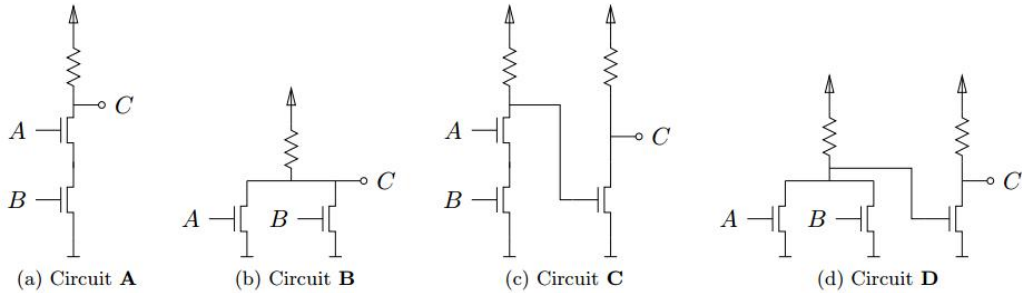
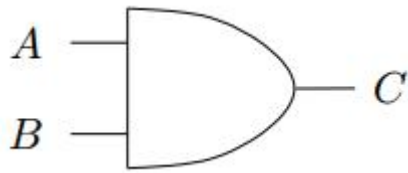
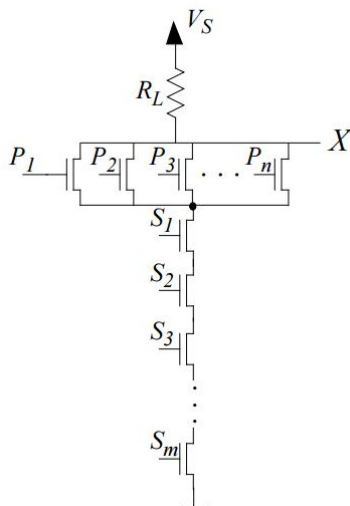


1、请问与下列 gate 相等的电路图是 ()。



2、如下所示数字电路有输入 $P_1, P_2, \dots, P_n, S_1, S_2, \dots, S_n$ 和输出 X 。假设此电路各元件处于稳态条件下，那么此电路的逻辑输出 X 的逻辑运算表示为 ()。



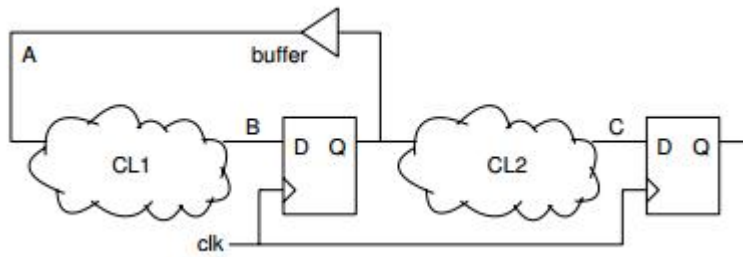
(a) $\overline{P_1 P_2 \dots P_n + S_1 S_2 \dots S_n}$

(b) $\overline{(P_1 + P_2 + \dots + P_n) S_1 \odot S_2 \odot \dots \odot S_n}$

(c) $\overline{(P_1 + P_2 + \dots + P_n) S_1 S_2 \dots S_n}$

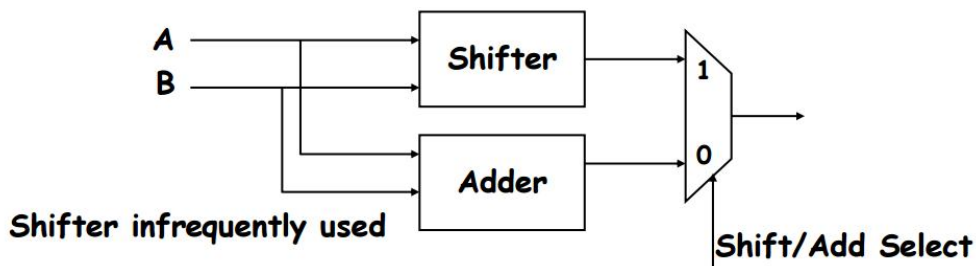
(d) $\overline{(P_1 \oplus P_2 \oplus \dots \oplus P_n) S_1 S_2 \dots S_n}$

3、图示电路为某芯片内一个包含组合逻辑 (Combinational Logic, CL) 和 D 触发器 (D-flip-flops, DFEs) 的状态机实现。从 timing violation 角度分析，这个 buffer 的作用最有可能的是 ()。

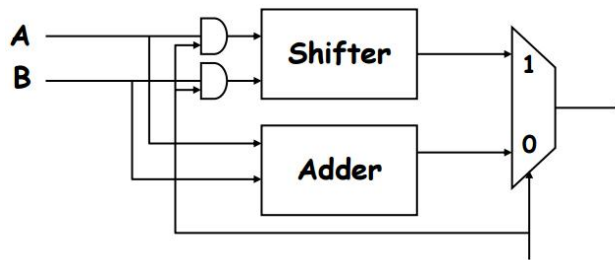


- (a) 避免 A path 上建立时间不满足
- (b) 避免 A path 上保持时间不满足
- (c) 避免 A path 上恢复时间不满足
- (d) 避免 A path 上驱动能力差导致时序不满足

4、图 b 与图 a 相比优势最可能的是 ()。



(a)



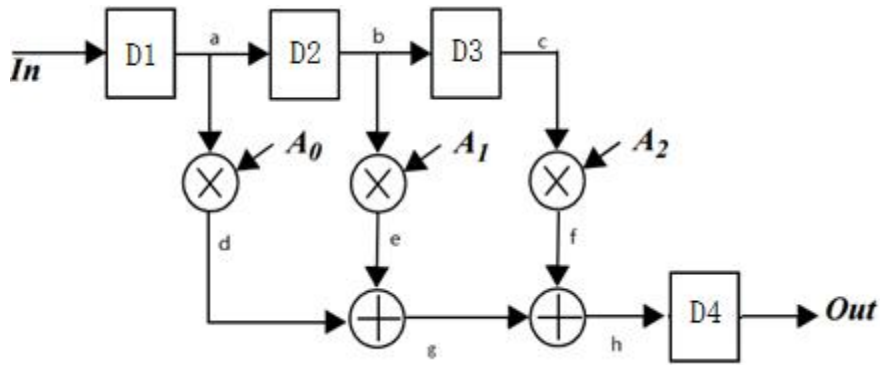
(b)

- (a)面积
- (b)时序
- (c)静态功耗
- (d)动态功耗

5、在 10Gbps 以上高速串口数据传输过程中，导线电容性和电感性加强，电阻不平衡，信道插损(Channel Insertion Loss)和信道不连续(Channel Discontinuity)是最常见的影响信号完整性的因素，下列哪项不属于常见的改善信号完整性措施 ()。

- (a) 接收端信道集成 (Channel Bonding)
- (b) 接收端均衡，如 DFE
- (c) DC 平衡编码，如 8b/10b, 64b/66b
- (d) 发射端预加重

6、下图所示为一个有限冲击响应滤波器，D 代表延时元件 (如寄存器)。A₁, A₂, A₃ 为固定系数。假设 CLK 时钟和图中导线无延时；CLK 到各个延时元件 D1, D2, D3 输出延时为 T_{co1}=1ns, T_{co2}=2ns, T_{co3}=3ns；乘法器延时为 10ns；加法器延时为 5ns，那么图中的关键路径(Critical Path) 正确的是 (c)。

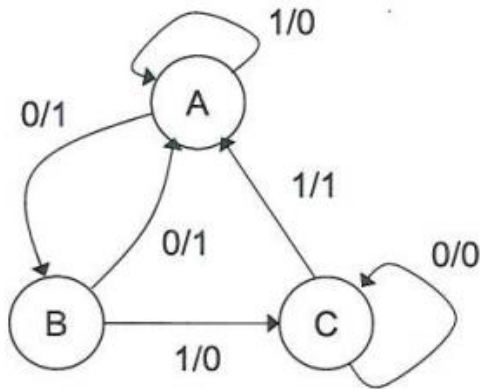


- (a) $In \rightarrow a \rightarrow b \rightarrow c \rightarrow f \rightarrow h$
- (b) $In \rightarrow a \rightarrow d \rightarrow g \rightarrow h$
- (c) $In \rightarrow a \rightarrow b \rightarrow e \rightarrow g \rightarrow h$
- (d) 以上皆错

7、对于某种格雷码 (Gray Code) 编码, 十进制数据 5 为 0111, 十进制数据 7 对应为 0100, 那么十进制数据 6 正确的格雷码表示可能为下面的 ()。

- (a) 1100
- (b) 1001
- (c) 0101
- (d) 1110

8、如下所示为米利 (Mealy) 型状态机示意图, A 为初始状态。如果输入序列为 011, 相应的状态机转移为 $A \rightarrow B \rightarrow C \rightarrow A$, 输出为 101。如果输入为 000, 那么输出为 ()。



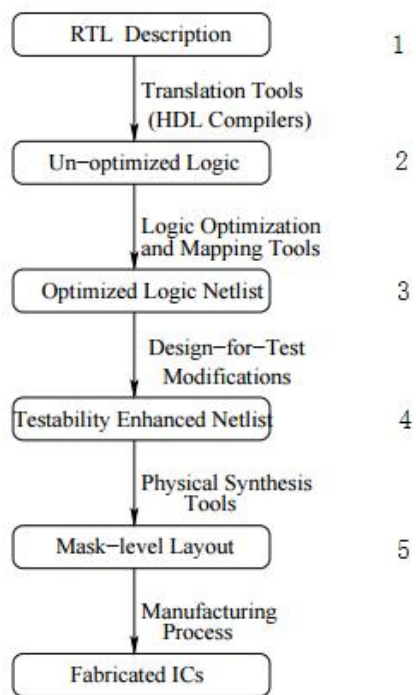
- (a) 000
- (b) 001
- (c) 011
- (d) 111

9、关于一个系统用 ASICs 还是 FPGAs 作为实现的差异, 以下说法错误的是 ()。

- (a) 相同工艺的 ASICs 往往能比 FPGAs 更快 (体现在时钟频率上)
- (b) ASICs 实现比 FPGAs 实现用更多的芯片面积 (higher density)
- (c) FPGAs 实现有更快的上市时间, ASICs 被制造 (fabricated) 出来往往时间更长
- (d) FPGAs 实现可以现场更改设计, 有更大的灵活性

10、下图为一个超大规模集成电路实现过程 (VLSI Circuit Realization Process), 由于后仿真 (Gate Level Simulation) 往往花费时间太长不可接受。形式验证 (Formal Verification) 变得更流行和实用, 形式验证中非常重要的类型——等价性检查 (Equivalence Checking) 已经融入集成电路标准设计流程中。等价性检查用于验证寄存器传输级 (RTL) 设计与门级网表之间、门级网表与门级网表之间是否一致。图中实现过程中哪两步骤之间可以不用进行等价性

检查 ()。



- (a) 1 和 2 之间，HDL 代码编译前后等价性检查
- (b) 1 和 3 之间，RTL-to-Gate Level 等价性检查
- (c) 3 和 4 之间，Pre- and Post-Test Synthesis 等价性检查
- (d) 4 和 5 之间，布局布线 (Layout) 等价性检查